

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040786
(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 10-207451

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.07.1998

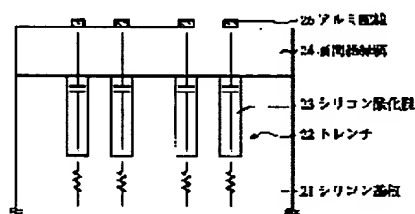
(72)Inventor : YONEMURA KOJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inductor which can be enhanced in integration level and high in resonance sharpness Q.

SOLUTION: An inductor is equipped with trenches 22 that are formed inside a silicon board 21 so as to look like spirals in a plan view, silicon oxide films 23 formed inside the trenches 22, an interlayer insulating film 24 formed on the surfaces of the silicon board 21 and the silicon oxide film 23, and aluminum wirings 26, that are formed on the upside of the interlayer insulating film 24 above the trenches 22 so as to look like spirals in a plan view.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40786

(P2000-40786A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl.⁷

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テームト* (参考)

L 5 F 0 3 8

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号

特願平10-207451

(22) 出願日

平成10年7月23日 (1998.7.23)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 米村 浩二

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(74) 代理人 100083161

弁理士 外川 英明

Fターム(参考) 5F038 AR01 AV06 AZ05 CA20 CD13

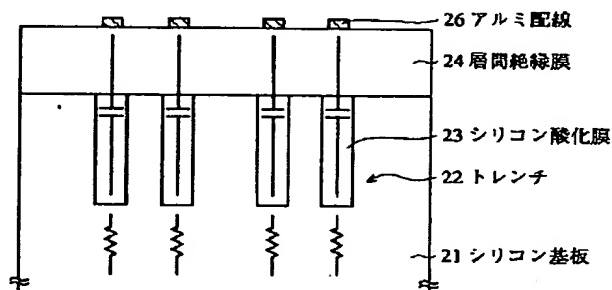
CD18 DF05 EZ12 EZ15 EZ20

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高集積化が可能であり、かつ共振の尖鋭度Qの高いインダクタ素子を提供する。

【解決手段】 本願発明は、上面から見ると螺旋状になるようにシリコン基板21内に形成されたトレンチ22と、そのトレンチ22内に形成されたシリコン酸化膜23と、前記シリコン基板21及び前記シリコン酸化膜23の上面に形成された層間絶縁膜24と、その層間絶縁膜24の上面であって前記トレンチ22の上方に、上面から見ると螺旋状になるように形成されたアルミ配線26とを具備することを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体基板上の所定の位置から所定の深さを有するトレンチと、

前記トレンチ内に形成された第一の絶縁膜と、

前記半導体基板及び前記第一の絶縁膜の上面に形成された第二の絶縁膜と、

前記第二の絶縁膜の上面であって、上面から見ると前記トレンチと重なるように形成された金属配線とを具備することを特徴とする半導体装置。

【請求項 2】 半導体基板上の所定の位置から所定の深さを有し、かつ、前記半導体基板の上面から見て螺旋状に形成されたトレンチと、

前記トレンチ内に形成された第一の絶縁膜と、

前記半導体基板及び前記第一の絶縁膜の上面に形成された第二の絶縁膜と、

前記第二の絶縁膜の上面であって、上面から見ると前記トレンチと重なるように形成された金属配線とを具備することを特徴とする半導体装置。

【請求項 3】 前記第一の絶縁膜はシリコン酸化膜からなることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 半導体基板の上面の所定の位置から所定の深さを有するトレンチを形成する工程と、

前記トレンチ内に第一の絶縁膜を形成する工程と、

全面に第二の絶縁膜を形成する工程と、

前記第二の絶縁膜の上面に、上面から見ると前記トレンチと重なるように金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板の上面の所定の位置から所定の深さを有し、前記半導体基板の上面から見て螺旋状にトレンチを形成する工程と、

前記トレンチ内に第一の絶縁膜を形成する工程と、

全面に第二の絶縁膜を形成する工程と、

前記第二の絶縁膜の上面に、上面から見ると前記トレンチと重なるように金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 6】 前記第一の絶縁膜はシリコン酸化膜からなることを特徴とする請求項 4 又は 5 記載の半導体装置の製造方法。

【請求項 7】 半導体基板上の所定の位置から所定の深さを有するトレンチと、

前記トレンチ内に形成された第一の絶縁膜と、

前記半導体基板及び前記第一の絶縁膜の上面に形成された第二の絶縁膜と、

前記第二の絶縁膜の上面に、上面から見ると前記トレンチと重なるように形成された金属配線と、

所定の素子とを具備することを特徴とする半導体装置。

【請求項 8】 半導体基板上の所定の位置から所定の深さを有し、かつ、前記半導体基板の上面から見て螺旋状になるように形成されたトレンチと、

前記トレンチ内に形成された第一の絶縁膜と、

前記半導体基板及び前記第一の絶縁膜の上面に形成された第二の絶縁膜と、

前記第二の絶縁膜の上面に、上面から見ると前記トレンチと重なるように形成された金属配線と、

所定の素子とを具備することを特徴とする半導体装置。

【請求項 9】 前記第一の絶縁膜はシリコン酸化膜からなることを特徴とする請求項 7 又は 8 記載の半導体装置。

【請求項 10】 前記所定の素子は、トレンチキャパシタと情報転送用トランジスタを具備する DRAM であることを特徴とする請求項 7 乃至 9 記載の半導体装置。

【請求項 11】 半導体基板の上面の所定の位置に所定の深さを有する第一のトレンチ及び、前記半導体基板の上面の所定の位置から所定の深さを有する第二のトレンチを形成する工程と、

前記第一のトレンチ内及び第二のトレンチ内に第一の絶縁膜を形成する工程と、

前記半導体基板内及び前記半導体基板上に所定の素子を形成する工程と、

全面に第二の絶縁膜を形成する工程と、

前記第二の絶縁膜の上面に、上面から見ると前記第二のトレンチと重なるように金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 12】 半導体基板の上面の所定の位置に所定の深さを有する第一のトレンチ及び、前記半導体基板の上面の所定の位置から所定の深さを有し前記半導体基板の上面から見て螺旋状に第二のトレンチを形成する工程と、

前記第一のトレンチ内及び第二のトレンチ内に第一の絶縁膜を形成する工程と、

前記半導体基板内及び前記半導体基板上に所定の素子を形成する工程と、

全面に第二の絶縁膜を形成する工程と、

前記第二の絶縁膜の上面に、上面から見ると前記第二のトレンチと重なるように金属配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 13】 前記第一の絶縁膜はシリコン酸化膜からなることを特徴とする請求項 11 又は 12 記載の半導体装置の製造方法。

【請求項 14】 前記所定の素子は、トレンチキャパシタと情報転送用トランジスタを具備する DRAM であることを特徴とする請求項 11 乃至 13 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、集積回路における素子構造及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の微細化及び高速化に

より、移動体通信や衛星通信に用いられるGHz領域の高周波集積回路を、安価で大量生産が可能なシリコンプロセスにおいて作成することが可能となった。このような高周波集積回路では高周波動作する素子はもちろんのこと、高い周波数のアナログ小信号を扱うために、抵抗及びコンデンサ並びにインダクタ等の素子が必要とされる。特に、インダクタ素子はインピーダンスのマッチング回路に必要とされ、ICの高利得化及び低消費電力化のための低損失化がとりわけ重要である。

【0003】半導体素子における従来のインダクタ素子は、図1に示したように、層間絶縁膜2上に電極材料であるアルミ配線1が螺旋状に形成されているのが一般的である。図1におけるA-A'の断面図が図2である。図2に示したように、半導体基板3の上面に層間絶縁膜2が形成されている。その層間絶縁膜2の上面に螺旋状にアルミ配線1が形成されているのである。

【0004】

【発明が解決しようとする課題】ここで、図3に示したように、図1及び図2に示したインダクタ素子には、アルミ配線1自身の寄生抵抗(R_{ind})、半導体基板3の寄生抵抗(R_{sub})及びアルミ配線1の半導体基板3に対する寄生容量(C_{sub})が生じる。これらの寄生成分はインダクタの性能指数である共振の尖鋭度Qを劣化させる。一般に、共振の尖鋭度Qは、系に与えられるエネルギーをインダクタが1サイクル当たりに消費するエネルギーで割ったものに比例する。そのため、寄生容量(C_{sub})が生じると、寄生容量(C_{sub})に蓄えられる電荷の量だけ系に蓄えられるエネルギーが減少することとなる。また、アルミ配線1の寄生抵抗(R_{ind})や半導体基板3の寄生抵抗(R_{sub})のため、系にかかる電圧降下、もしくは電流損失が生じ、その分だけ系に蓄えられるエネルギーが減少する。これらの原因により、インダクタの性能指数である共振の尖鋭度Qが劣化してしまうのである。

【0005】次に、図4に上記のインダクタ素子の等価回路を示した。ここで、インダクタ素子の共振の尖鋭度Qを大きくするために R_{ind} と C_{sub} に注目する。すると、 R_{ind} を小さくしようとしてアルミ配線1の幅を大きくすると、アルミ配線1の底面の面積が大きくなり、 C_{sub} が大きくなってしまう。そこで、インダクタ素子の共振の尖鋭度Qを大きくするために以下の方法が考えられた。すなわち、(1) C_{sub} を小さくするために層間絶縁膜2を厚くする方法、(2) R_{ind} を小さくするためにアルミ配線の厚さを厚くする方法、である。

【0006】しかし、(1) C_{sub} を小さくするために層間絶縁膜2を厚くする方法を採ると、以下の欠点が生じる。即ち、層間絶縁膜2の厚さを厚くすると、層間絶縁膜2の上部に形成される配線等と半導体基板1とのコンタクトをとる際、コンタクトホールが高アスペクト比になる。そのため、導電膜のコンタクトホールへの埋め

込みなどが困難となり、結果的にコンタクトがとりづらくなる欠点が生じる。次に、(2) R_{ind} を小さくするためにアルミ配線の厚さを厚くする方法を採ると、以下の欠点が生じる。即ち、アルミ配線1の厚さが厚いため、アルミ配線1及び層間絶縁膜2の上面にさらに層間絶縁膜を形成すると、その層間絶縁膜の平坦性が悪くなる欠点が生じる。

【0007】さらに、インダクタ素子の共振の尖鋭度Qを大きくするために、 C_{sub} を小さくする試みがいくつか試されている。公知文献(特開平6-18129)によると、トレンチを形成すると同様の方法でシリコン基板にトレンチを形成し、この中にコイル導体を埋めることによりQを大きくする方法が公表されている。また、公知文献(特開平8-172161)によると、コイル導体の下に誘電率の低い絶縁膜を堆積してQを大きくする方法が公表されている。

【0008】しかし、公知文献(特開平6-18129)の方法によると、製造工程が複雑であり、結果的に製造工程が増加することにより、コストアップという欠点が生じる。また、公知文献(特開平8-172161)の方法によると、構造的に段差が大きくなり、半導体素子全体の微細化に不利となる欠点が生じる。また、樹脂絶縁膜を用いると、耐湿性が劣り、また、他の素子に対して特性変動の影響を与える欠点が生じる。さらに、製造工程が増加し、コストアップという欠点が生じる。本願発明は、従来の技術の上記欠点に鑑みてなされたものであり、共振の尖鋭度Qの高いインダクタ素子を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本願発明は、半導体基板上の所定の位置から所定の深さを有し、かつ、上面から見ると螺旋状になるように形成されたトレンチと、前記トレンチの中に形成された第一の絶縁膜と、前記半導体基板及び前記第一の絶縁膜の上面に形成された第二の絶縁膜と、前記第二の絶縁膜の上面であって前記トレンチの上方に、上面から見ると螺旋状になるように形成された金属配線層とを具備することを特徴とする。本願発明は、上記構成を採ることにより、共振の尖鋭度Qの高いインダクタ素子を提供することを可能とする。

【0010】

【発明の実施の形態】本願発明の第一の実施の形態について図面(図5～図10)を参照して説明する。まず、図5に示したように、CVD法を用いて、半導体基板、例えばシリコン基板21の上面にシリコン酸化膜27を形成する。次いで、回転塗布法を用いてそのシリコン酸化膜27の上面に図示せぬレジストを形成する。そして、写真蝕刻法を用いて、このレジストを所定の形状にパターニングする。この所定の形状にパターニングされたレジストをマスクとして、異方性エッチング法、例え

ばR I E法を用いてシリコン酸化膜27をエッチングする。さらにこの所定の形状にパターニングされたシリコン酸化膜27をマスクとして、異方性エッチング法、例えばR I E法を用いて、シリコン基板21をエッチングする。これにより、例えば深さ1 μ m程度から7 μ m程度のトレンチ22が形成される。このトレンチ22の深さは、特に1 μ m程度から7 μ m程度に限定されるものではなく、その製造工程において都合のいい深さにすればよい。ただし、トレンチ22の深さが深いほど本願発明の第一の実施の形態の効果は顕著となる。また、ここでは例えば、トレンチ22を上面から見ると螺旋状になるように形成する。

【0011】次に、図6に示したように、CVD法を用いて全面に絶縁膜、例えばシリコン酸化膜23を形成する。そして、所定の平坦化プロセスにより、シリコン基板21の上面までシリコン酸化膜23を除去する。この際、シリコン酸化膜27も除去される。ここで、絶縁膜としてはシリコン酸化膜23でなくともシリコン窒化膜等でも構わないが、シリコン酸化膜23は比誘電率が低いので、よりC_{sub}を低減でき、共振の尖鋭度Qをより大きくすることが可能となる。

【0012】次に、図7に示したように、CVD法を用いて全面に層間絶縁膜24を厚さ3 μ m程度に形成する。ここで、層間絶縁膜24としては、例えばシリコン酸化膜やシリコン窒化膜が挙げられる。但しこのとき、層間絶縁膜24としてシリコン酸化膜を用いるのであれば、図6に示した工程において、シリコン酸化膜23及びシリコン酸化膜27をシリコン基板21の上面まで除去しないで、シリコン基板21の上面から厚さ3 μ m程度だけ残るように形成しても構わない。この場合、図7に示した工程は省略されることとなる。

【0013】次に、図8に示したように、例えばスパッタ法を用いて、層間絶縁膜24の上面に導電膜、例えばアルミ膜25を厚さ1 μ m程度に形成する。ここで、導電膜としてアルミ膜25でなくても、例えば銅膜を用いても構わない。この場合、銅はアルミに比べて低抵抗であるため、インダクタ素子のQをさらに大きくする効果を得ることが可能となる。

【0014】次に、図9に示したように、回転塗布法を用いてアルミ膜25の上面に図示せぬレジストを形成する。そして、写真蝕刻法を用いて、この図示せぬレジストを所定の形状にパターニングする。この所定の形状にパターニングされたレジストをマスクとして、異方性エッチング法、例えばR I E法を用いてアルミ膜25を所定の形状にエッチングする。これにより、アルミ配線26が形成される。ここで、アルミ配線26は、上面から見るとシリコン基板21に形成されたトレンチ22と重なるように形成する。つまり、図示せぬレジストをパターニングするとき、上面から見るとトレンチ22と同じような形状、つまりここでは螺旋状にアルミ膜25が露

出するようにするのである。

【0015】図10に、このようにして形成されたアルミ配線26を図示する。図9は、図10におけるB-B'の断面図に対応することとなる。このようにして螺旋状に形成されたアルミ配線26はインダクタ素子を形成することとなる。

【0016】以上のようにして、インダクタ素子が形成される。このインダクタ素子は図示せぬ配線により外部の電気回路と電気的に接続されることとなる。ここで、図9に示したように、アルミ配線26の下方にはシリコン酸化膜23が形成されたトレンチ22が形成されている。そのため、寄生容量C_{sub}が生じる垂直方向では、アルミ配線26とシリコン基板21との距離が大きくなる。よって、寄生容量C_{sub}を小さくすることが可能となる。また、アルミ配線26の代わりに低抵抗の銅配線を用いることにより、さらに共振の尖鋭度Qを大きくすることが可能となる。このようにして、本願発明の第一の実施の形態によると、層間絶縁膜を従来よりも厚くすることなく、また、平坦性を確保したまま共振の尖鋭度Qの高いインダクタ素子を提供することを可能とする。また、構造的に段差が生じるのを抑えることができるため、インダクタ素子の微細化が可能となる。これにより、回路の高集積化、素子の動作速度の高速化ができる。さらに、アルミ配線26の形成と同時にインダクタ素子を形成することができるため、工程数の増加も必要としない。これにより、コストアップを抑えることも可能となる。

【0017】次に、本願発明の第二の実施の形態について図面(図11～図17)を参照して説明する。本願発明の第二の実施の形態は、本願発明にかかるインダクタ素子をモノリシックバイポーラCMOSデバイスに利用したものである。ここでは、本願発明をモノリシックバイポーラCMOSデバイスに応用したものについて説明するが、本願発明は、抵抗、コンデンサを含む他のモノリシック集積回路にも利用することが可能である。

【0018】まず、図11に示したように、一導電型半導体基板、例えばp型シリコン基板33を用意する。ここで、PMOS部40、NMOS部41、NPNトランジスタ部42、PNPトランジスタ部43、グランドタップ部55、インダクタ素子部44に分けて考える。ここで、グランドタップ部とは、グランド電位をとるための部分である。p型シリコン基板33には、p+型拡散層31及びn+型拡散層32が形成されている。さらに、p型シリコン基板33の上面にはn型シリコン層45が形成されている。このn型シリコン層45は、エピタキシャル成長法を用いて形成されたものである。ここで、p+とは、通常のp型拡散層よりもp型不純物が高濃度であることを示す。また、n+とは、通常のn型拡散層よりもn型不純物が高濃度であることを示す。さらに、n-とは、通常のn型拡散層よりもn型不純物

が低濃度であることを示す。また、 n -型シリコン層45の所定の位置に n -型不純物、例えばP（リン）をドーピングしておき、 n -型不純物層を形成しておく。そして、例えば熱酸化法を用いて、 n -型シリコン層45の上面に酸化膜であるシリコン酸化膜34を厚さ90nm程度に形成する。さらに、CVD法を用いて全面に、不純物をドーピングしないポリシリコン膜35を厚さ100nm程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜36を厚さ200nm程度に形成する。さらに、CVD法を用いて全面にシリコン酸化膜37を厚さ数百nm程度に形成する。ここで、シリコン酸化膜34及びポリシリコン膜35並びにシリコン窒化膜36は、後の素子分離工程（図13参照）でLOCOSを形成するために用いられる。次に、回転塗布法を用いて全面に図示せぬレジストを厚さ数百nm程度に形成する。そして、写真蝕刻法を用いてそのレジストを所定の形状にパターニングする。このパターニングされたレジストをマスクとして異方性エッチング法、例えばRIE法を用いてシリコン酸化膜37、シリコン窒化膜36、ポリシリコン膜35及びシリコン酸化膜34をエッチングする。これにより、 p -型シリコン基板33の上面の一部が露出する。そして、シリコン酸化膜37をマスクとして異方性エッチング法、例えばRIE法を用いて p -型シリコン基板33を所定の深さまでエッチングする。これにより、インダクタ素子部44にはトレンチ38が形成され、それ以外の部分にトレンチ39が形成される。このトレンチ38及びトレンチ39の深さは、例えば5 μ m程度とする。ここで、インダクタ素子部44に形成されたトレンチ38は、例えば p -型半導体基板33の上面から見ると螺旋状になるように形成する。また、トレンチ39は、それぞれ n -型不純物層56を横切るように形成する。

【0019】次に、図12に示したように、CVD法を用いて全面に絶縁膜、例えばシリコン酸化膜46をシリコン酸化膜37の上面から厚さ1.5 μ m程度になるように形成する。これにより、シリコン酸化膜46でトレンチ38を埋め込む。そして、平坦化プロセス、例えばCMP法を用いてシリコン酸化膜46をシリコン酸化膜37の上面まで平坦化する。さらに、ウェットエッチング法を用いてシリコン酸化膜37を除去する。次に、平坦化プロセス、例えばCMP法を用いてシリコン酸化膜46をシリコン窒化膜36の上面まで平坦化する。

【0020】ここでは、トレンチ38に埋め込む絶縁膜としてシリコン酸化膜46を利用したが、不純物のドーピングされていないポリシリコン膜やシリコン窒化膜でも構わない。ただし、シリコン酸化膜46はポリシリコン膜やシリコン窒化膜と比べて比誘電率が低いという特徴がある。そのため、本実施の形態で形成されるモノリシックバイポーラCMOSデバイスにおけるインダクタ素子の共振の尖鋭度 Q をより大きくする利点がある。

【0021】なお、図11に既に示した工程と図12に既に示した工程との間に、以下の工程を加えることも考えられる。即ち、例えばイオン注入法により、トレンチ38の底部に p -型不純物、例えばB（ホウ素）を注入する工程である。この工程により、 p -型シリコン基板33のうちトレンチ38の底部付近に図示せぬ p -型拡散層が形成される。これにより、寄生トランジスタの発生を防止することが可能となる。

【0022】次に、図13に示したように、所定の n -型ウェル領域47及びロコス酸化膜48を形成する。そのためには、まず、回転塗布法を用いて全面に図示せぬレジストを塗布する。そして、写真蝕刻法を用いてこのレジストを所定の形状にパターニングする。このレジストをマスクとしてイオン注入法を用いて n -型不純物、例えばP（リン）をドーピングする。さらに、アッシングや過酸化水素水と硫酸の混合液を用いて、そのレジストを除去する。次に、回転塗布法を用いて全面に図示せぬレジストを塗布する。そして、写真蝕刻法を用いてこのレジストを所定の形状にパターニングする。このレジストをマスクとして、異方性エッチング法、例えばRIE法を用いてシリコン窒化膜36をエッチングする。そして、シリコン窒化膜36をマスクとして1000℃程度の熱処理により酸化することでロコス酸化膜48を形成する。また、この熱酸化工程で N -型ウェル領域47及び n -拡散層49が同時に形成される。このようにして、PMOS部40、NMOS部41、NPNトランジスタ部42、PNPトランジスタ部43、グランドタップ部55及びインダクタ素子部44をそれぞれ素子分離するロコス酸化膜48及び N -型ウェル領域47並びに n -拡散層49が形成される。

【0023】次に、図14に示したように、CVD法を用いて全面に第一層間絶縁膜、例えばシリコン酸化膜49を厚さ数 μ m程度に形成する。そして、所定のエッチング工程及び成膜工程により、第一コンタクトホールを形成し、この第一コンタクトホールに導電膜50を埋め込む。この導電膜50は n -型シリコン層45に形成された所定の素子に電気的に接続されている。さらに、CVD法を用いて全面に第二層間絶縁膜、例えばシリコン酸化膜51を厚さ数 μ m程度に形成する。そして、所定のエッチング工程により、このシリコン酸化膜51に第二コンタクトホール52を形成する。この第二コンタクトホールは導電膜50に接続されるように形成する。ここで、第一層間絶縁膜及び第二層間絶縁膜の材料としてシリコン酸化膜を用いたが、他にはシリコン窒化膜等が使用される。但し、シリコン酸化膜は比誘電率が低いため、インダクタ素子部に形成されるインダクタ素子の共振の尖鋭度 Q をより大きくすることが可能となる。

【0024】次に、図15に示したように、例えばスパッタ法を用いて、全面に導電膜、例えばアルミ膜53をシリコン酸化膜51の上面から厚さ1 μ m程度にまで形

成する。ここで、導電膜としてアルミ膜の他に、例えば銅膜を用いても構わない。この場合、銅膜はアルミ膜に比べて低抵抗である利点がある。そして、インダクタ素子のQをさらに大きくする効果を得ることが可能となる利点がある。

【0025】次に、図16に示した工程を行う。まず、回転塗布法を用いてアルミ膜53の上面に図示せぬレジストを形成する。そして、写真蝕刻法を用いて、この図示せぬレジストを所定の形状にパターニングする。このとき、インダクタ素子部44では、上面から見るとp型シリコン基板33のインダクタ素子部44に形成されたトレンチ38と同じような形状にアルミ膜53が露出するようにする。次に、この所定の形状にパターニングされたレジストをマスクとして、異方性エッチング法、例えばRIE法を用いてアルミ膜53を所定の形状にエッチングする。これにより、アルミ配線54が形成される。ここで、アルミ配線54は、上面から見るとトレンチ38と重なるように形成する。つまり、インダクタ素子部44では、p型シリコン基板33に形成されたトレンチ38の上方にアルミ配線54が形成され、上面から見ると螺旋状となる。このアルミ配線54は幅3 μ m程度、高さ1 μ m程度とする。

【0026】図17に、インダクタ素子部44を上面から見た図を示す。図16におけるインダクタ素子部は、図17におけるC-C'の断面図に対応することとなる。このようにして、螺旋状に形成されたアルミ配線54はインダクタ素子を形成することとなる。

【0027】なお、シリコン酸化膜51の上面にインダクタ素子となるアルミ配線54を形成したが、これはシリコン酸化膜49の上面に形成しても構わない。但し、シリコン酸化膜51の上面に形成した方が、アルミ配線54とp型シリコン基板33との距離が長くなり、寄生容量の低減が可能となり、結果的にインダクタ素子のQをより大きくすることが可能となる。

【0028】以上のようにして、インダクタ素子を含むモノリシックバイポーラCMOSデバイスが形成される。なお、アルミ配線54から成るインダクタ素子は図示せぬ配線により外部の電気回路と電気的に接続されることとなる。ここで、図16に示したように、アルミ配線54の下方には層間絶縁膜だけでなく、シリコン酸化膜46が埋め込み形成されたトレンチ38が形成されている。そのため、寄生容量C_{sub}が生じる垂直方向では、アルミ配線54とp型シリコン基板33との距離が大きくなる。よって、寄生容量C_{sub}を小さくすることが可能となる。これにより、共振の尖鋭度Qを大きくすることが可能となる。また、アルミ配線54の代わりに、より抵抗の低い銅配線を用いれば、さらに共振の尖鋭度Qを大きくすることが可能となる。このようにして、本願発明の第二の実施の形態によると、層間絶縁膜を従来よりも厚くすることなく、また、平坦性を確保し

たまま共振の尖鋭度Qの高いインダクタ素子を含むモノリシックバイポーラCMOSデバイスを提供することを可能とする。また、構造的に段差が生じるのを抑えることができるため、インダクタ素子の微細化が可能となる。これにより、回路の高集積化、素子の動作速度の高速化ができる。さらに、アルミ配線54の形成と同時にインダクタ素子を形成することができる。そして、素子分離のためのトレンチ39を形成するのと同時にトレンチ38を形成し、アルミ配線54の形成と同時にインダクタ素子が形成されるので、工程数の増加を必要としない利点がある。これにより、コストアップを抑えることが可能となる。

【0029】なお、本願発明の第二の実施の形態として、モノリシックバイポーラCMOSデバイスについて説明したが、トレンチを有するデバイスであればこれに限られるものではない。例えば、トレンチ型キャパシタを利用したDRAMに対しても本願発明を利用することが可能である。DRAMに本願発明を利用した場合であっても、上記本願発明の第二の実施の形態と同様の効果を得ることが可能となる。

【0030】

【発明の効果】本願発明によると、インダクタ素子の共振の尖鋭度Qを高くすることが可能となる。

【図面の簡単な説明】

【図1】従来のインダクタ素子の上面図。

【図2】従来のインダクタ素子の構造断面図。

【図3】従来のインダクタ素子の構造断面図。

【図4】従来のインダクタ素子の等価回路。

【図5】本願発明の第一の実施の形態にかかるインダクタ素子の製造工程断面図。

【図6】本願発明の第一の実施の形態にかかるインダクタ素子の製造工程断面図。

【図7】本願発明の第一の実施の形態にかかるインダクタ素子の製造工程断面図。

【図8】本願発明の第一の実施の形態にかかるインダクタ素子の製造工程断面図。

【図9】本願発明の第一の実施の形態にかかるインダクタ素子の製造工程断面図。

【図10】本願発明の第一の実施の形態にかかるインダクタ素子の上面図。

【図11】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

【図12】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

【図13】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

【図14】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

【図15】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

【図16】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスの製造工程断面図。

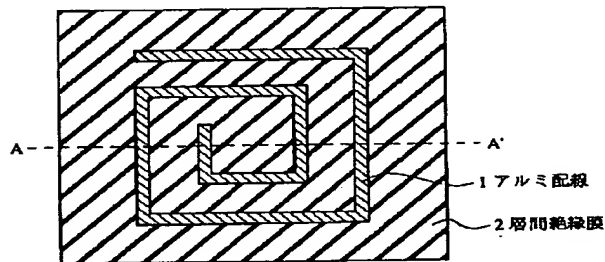
【図17】本願発明の第二の実施の形態にかかるモノリシックバイポーラCMOSデバイスのインダクタ素子部の上面図。

【符号の説明】

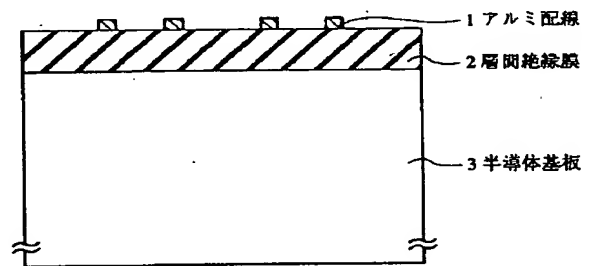
- 1・・・アルミ配線
- 2・・・層間絶縁膜
- 3・・・半導体基板
- 21・・・シリコン基板
- 22・・・トレンチ
- 23・・・シリコン酸化膜
- 24・・・層間絶縁膜
- 25・・・アルミ膜
- 26・・・アルミ配線
- 27・・・シリコン酸化膜
- 31・・・p+型拡散層
- 32・・・n+型拡散層
- 33・・・p型シリコン基板
- 34・・・シリコン酸化膜
- 35・・・ポリシリコン膜
- 36・・・シリコン窒化膜

- 37・・・シリコン酸化膜
- 38・・・トレンチ
- 39・・・トレンチ
- 40・・・PMOS部
- 41・・・NMOS部
- 42・・・NPNトランジスタ部
- 43・・・PNPトランジスタ部
- 44・・・インダクタ素子部
- 45・・・n-型シリコン層
- 46・・・シリコン酸化膜
- 47・・・N型ウェル領域
- 48・・・ロコス酸化膜
- 49・・・n+拡散層
- 50・・・導電膜
- 51・・・シリコン酸化膜
- 52・・・第二コンタクトホール
- 53・・・アルミ膜
- 54・・・アルミ配線
- 55・・・グランドタップ部
- 56・・・n型不純物層
- 57・・・P型ウェル領域

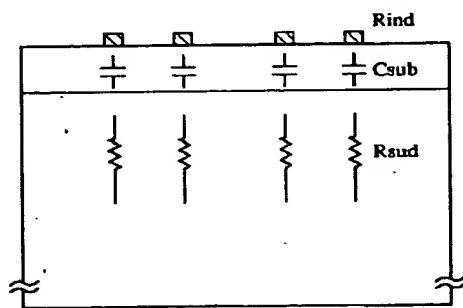
【図1】



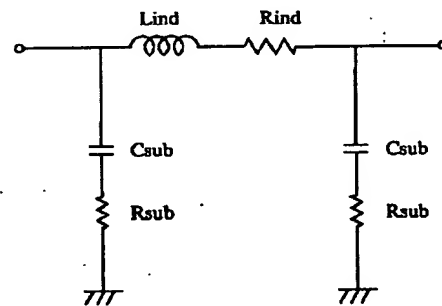
【図2】



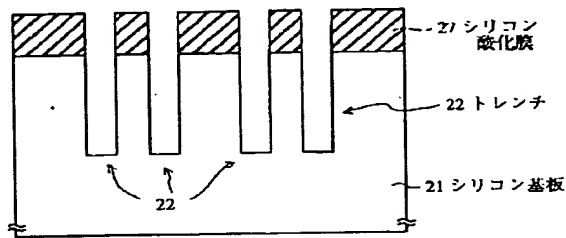
【図3】



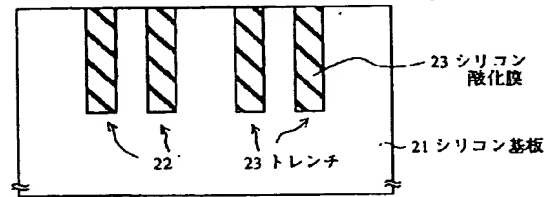
【図4】



【図5】

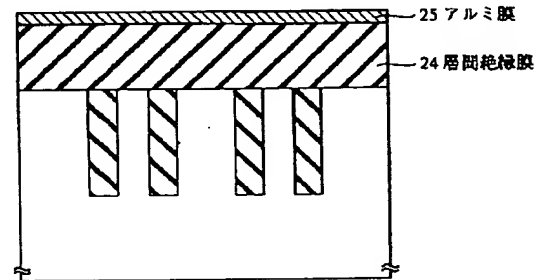
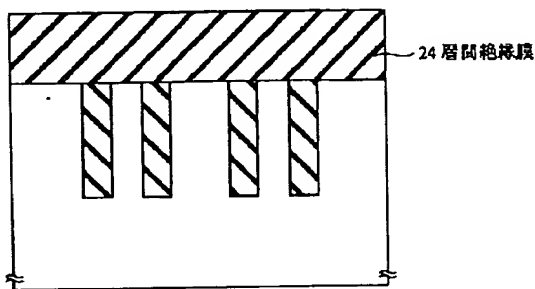


【図6】

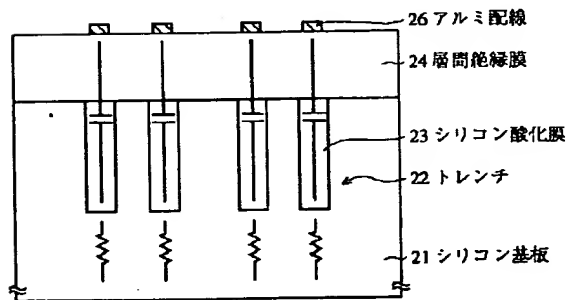


【図8】

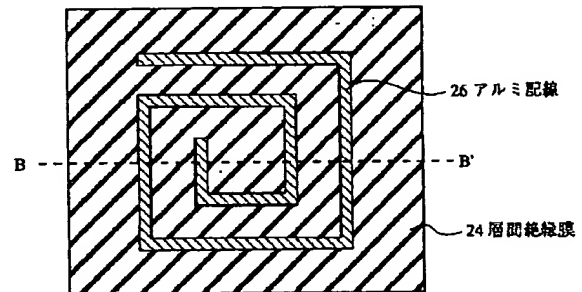
【図7】



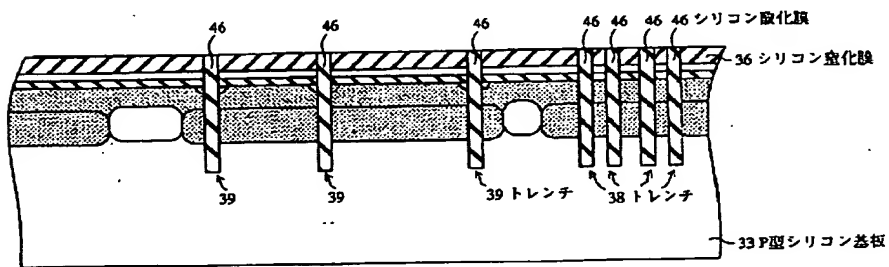
【図9】



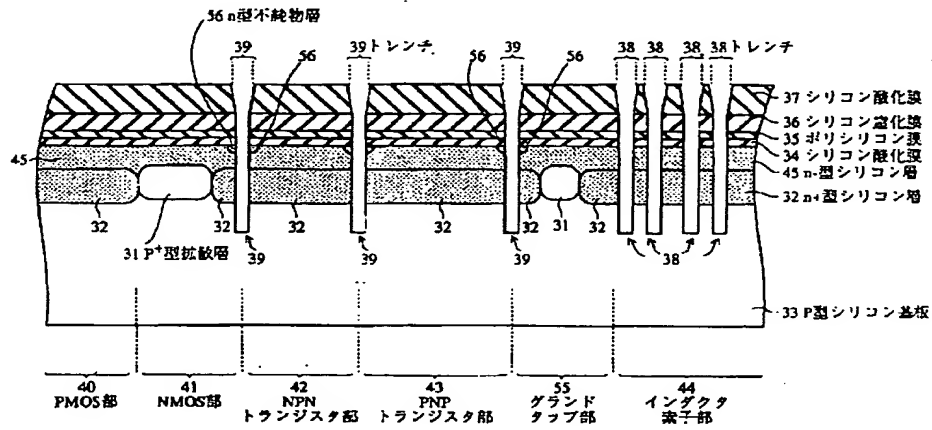
【図10】



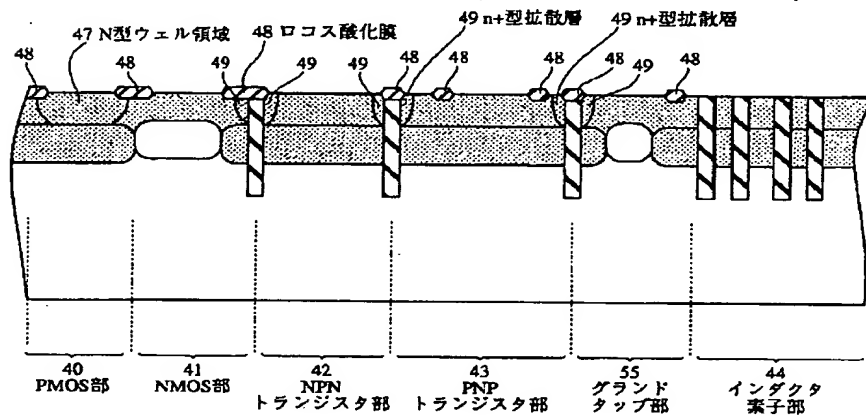
【図12】



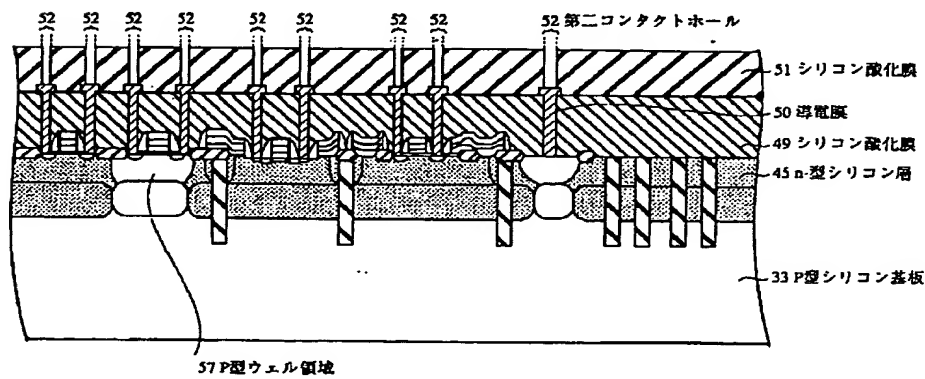
【図11】



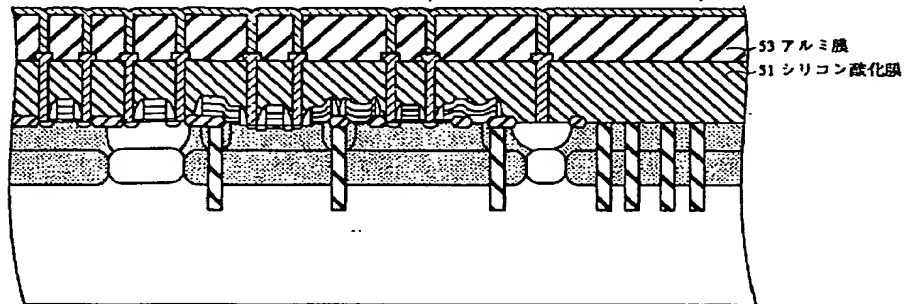
【図13】



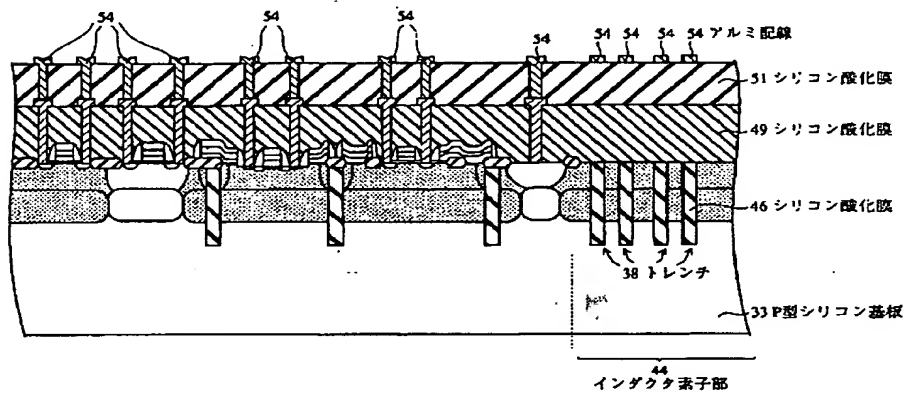
【図14】



【図15】



【図16】



【図17】

